



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0049918
Application Number

출원 년 월 일 : 2003년 07월 21일
Date of Application JUL 21, 2003

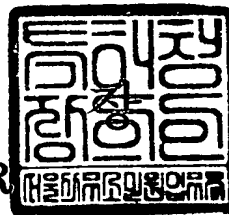
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





1020030049918

출력 일자: 2003/10/14

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.21
【발명의 명칭】	기판 접합을 이용하여 제조된 단일칩 듀플렉서 및 그 제조 방법
【발명의 영문명칭】	One-Chip Duplexer fabrication method using substrate bonding and One-Chip Duplexer fabricated by the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	박윤권
【성명의 영문표기】	PARK, YUN KWON
【주민등록번호】	691114-1552136
【우편번호】	483-040
【주소】	경기도 동두천시 광암동 472-29
【국적】	KR
【발명자】	
【성명의 국문표기】	송인상
【성명의 영문표기】	SONG, IN SANG
【주민등록번호】	650114-1449020
【우편번호】	151-712
【주소】	서울특별시 관악구 봉천1동 해태보라매주상타운 1616호
【국적】	KR
【발명자】	
【성명의 국문표기】	하병주
【성명의 영문표기】	HA, BYEOUNG JU
【주민등록번호】	670627-1540712
【우편번호】	449-846

【주소】 경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차@ 507동 1401호
【국적】 KR
【발명자】
【성명의 국문표기】 송일종
【성명의 영문표기】 SONG, IL JONG
【주민등록번호】 720917-1638013
【우편번호】 440-330
【주소】 경기도 수원시 장안구 천천동 544 천천 삼성래미안 111동1003호
【국적】 KR
【발명자】
【성명의 국문표기】 김덕환
【성명의 영문표기】 KIM, DUCK HWAN
【주민등록번호】 690318-1351113
【우편번호】 121-080
【주소】 서울특별시 마포구 대흥동 32-23
【국적】 KR
【우선권주장】
【출원국명】 KR
【출원종류】 특허
【출원번호】 10-2003-0024720
【출원일자】 2003.04.18
【증명서류】 미첨부
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정홍식 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 10 면 10,000 원
【우선권주장료】 1 건 26,000 원
【심사청구료】 14 항 557,000 원
【합계】 622,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

에어갭형 FBAR을 사용한 단일칩 듀플렉서의 제조방법이 개시된다. 본 발명에 따르면, 하부전극, 압전층, 상부전극등이 차례로 적층된 구조의 적층공진부가 복수로 제작된 제1기판부의 제조 단계, 복수의 에어갭 및 상기 에어갭 사이에 형성된 Isolation부가 제작된 제2기판부의 제조 단계 및 상기 제1기판부와 제2기판부를 접합시키는 단계를 포함하는 것을 특징으로 하는 단일칩 듀플렉서의 제조 방법 및 상기의 방법으로 제조된 단일칩 듀플렉서가 제공된다. 이에 따라, 단일칩 듀플렉서를 보다 간단한 공정을 통하여 견고하게 제조할 수 있으며, 기존의 CMOS공정과도 호환성을 이룰 수 있으며, 기생성분을 감소시켜 듀플렉서의 성능이 향상된다는 효과가 있다.

【대표도】

도 2

【색인어】

단일칩 듀플렉서, 에어갭형 FBAR, Isolation부

【명세서】**【발명의 명칭】**

기판 접합을 이용하여 제조된 단일칩 듀플렉서 및 그 제조 방법 {One-Chip Duplexer fabrication method using substrate bonding and One-Chip Duplexer fabricated by the same}

【도면의 간단한 설명】

도 1a는 인쇄 회로 기판상에 제조된 종래의 듀플렉서의 구조도,

도 1b는 브레그 반사층을 이용하여 제조된 종래의 ONE 칩 듀플렉서의 구조도,

도 2는 본 발명에 따라 기판 접합을 이용하여 제조된 ONE 칩 듀플렉서의 구조도,

도 3은 본 발명의 듀플렉서에 사용되는 에어갭형 FBAR의 적층공진부를 제조하는 단계별 공정도,

도 4는 본 발명의 듀플렉서에 사용되는 에어갭형 FBAR의 에어갭을 제조하는 단계별 공정도,

도 5는 본 발명의 일실시예에 따라 Isolation 부를 제조하는 공정도,

도 6은 접합공정을 통하여 본 발명의 듀플렉서를 최종적으로 제조하는 단계별 공정도,

도 7은 본 발명의 일실시예에 따라 제조된 본 발명 듀플렉서의 구조도,

그리고, 도 8은 본 발명의 또다른 실시예에 따라 제조된 듀플렉서의 구조도를 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 에어캡형 박막 벌크 음향 공진기(Film Bulk Acoustic Resonator: 이하 "FBAR"이라 한다)를 사용한 듀플렉서 및 그 제조 방법에 관한 것으로 보다 상세하게는, 기판 접합공정을 이용하여 제조된 단일칩 형태의 듀플렉서 및 그 제조 방법에 관한 것이다.
- <11> 듀플렉서(Duplexer)란 필터(Filter)를 복합적으로 이용하는 대표적인 소자의 한 종류로써, 주파수 분할 방식(FDD)방식으로 구현되는 통신 시스템에서 하나의 안테나를 통하여 송신되는 신호 및 수신되는 신호를 적절하게 분기함으로써, 같은 안테나를 효율적으로 공유할 수 있도록 하는 역할을 하는 소자이다.
- <12> 상기 듀플렉서의 기본 구조는 안테나를 제외하고 크게 송신단 필터 및 수신단 필터로 이루어진다. 송신단 필터는 송신하고자 하는 주파수만을 통과시켜주는 밴드 패스 필터(Band Pass Filter), 수신단 필터는 수신하고자 하는 주파수만을 통과시켜주는 밴드 패스 필터로써, 듀플렉서는 상기 송신단 필터 및 수신단 필터에서 패스되는 주파수를 달리 조정함으로써, 하나의 안테나로 송수신이 이루어 질수 있도록 한다.
- <13> 한편, 휴대전화로 대표되는 이동통신기기의 급속한 보급에 의해, 이러한 기기에서 사용되는 듀플렉서를 구현하기 위하여, 상기 송신단 필터 및 수신단 필터의 역할을 하는 소형경량의 필터의 수요가 급격하게 증대하고 있다. 소형, 경량으로 구현되면서, 대전력의 용도에 적합한 필터를 구성하기 위한 유력한 수단으로서는 FBAR이 알려져 있는데, FBAR은 최소한의 비용으로 대량 생산이 가능하며, 최소형으로 구현할수 있다는 장점이 있다. 또한, 필터의 주요한 특

성인 높은 품질계수(Quality Factor: Q)값을 구현하는 것이 가능하고, 마이크로주파수 대역에서도 사용이 가능하며, 특히 PCS(Personal Communication System)와 DCS(Digital Cordless System) 대역까지도 구현할수 있는 장점을 가지고 있다.

- <14> 한편, 상기 송신단 필터 및 수신단 필터를 통해 송수신되는 신호의 주파수는 그 차이가 미미하므로, 상호간의 간섭에 의해 민감하게 반응하게 되는바, 상기 송신단 필터 및 수신단 필터를 격리시켜서 상호간섭을 방지하는 Isolation부를 추가하여 보다 성능이 향상된 듀플렉서를 제작할 수 있다. 상기 Isolation부는 통상적으로 커패시터 및 인덕터를 사용하여 위상 쉬프터(Phasor Shifter)를 구현함으로써, 송신 신호 및 수신 신호의 주파수의 위상차를 90° 가 되도록 하여 상호 간섭을 방지하도록 하고 있다.
- <15> 종래에 이러한 FBAR을 사용하여 제조된 듀플렉서의 구조에 대하여는 도 1a 및 도 1b에서 도시하고 있다.
- <16> 도 1a는 와이어 본딩을 이용하여 제조된 송신단 필터(30) 및 수신단 필터(40)와 양 필터를 격리시키는 Isolation 부(20)를 인쇄회로기판(PCB: 10)상에 하이브리드(hybrid)를 이용하여 접합시킴으로써 구현된 듀플렉서를 나타낸다. 상기와 같은 방법으로 구현된 경우, 최종적으로 제작된 소자의 크기가 증대되어 휴대폰과 같은 소형화 장비에 사용하기에 불리하고, 제조 비용이 증가된다는 문제점이 있다.
- <17> 도 1b는 음향 임피던스가 큰 물질과 작은 물질을 격층으로 증착시켜 제작한 반사층(64)상에 하부전극(63), 압전층(62), 상부전극(61)을 차례로 적층한 구조로 이루어지는 브레그(Bragg) 타입 FBAR을 송수신단 필터로 사용하여 하나의 기판상에 제작한 듀플렉서를 나타낸다. 도면에서, 하나의 직렬 공진기(60) 및 병렬 공진기(70)로 구현되는 수신단 필터와 또다른 직렬 공진기(80) 및 병렬 공진기(90)로 구현되는 송신단 필터가 하나의 기판(50)상에 집적되어 있

음을 볼 수 있다. 상기 브레그 타입 듀플렉서는 비록 하나의 기판상에 제조됨으로써 ONE-Chip 화를 이룰수 있고, 견고한 구조를 가지지만, 각층의 두께를 정확하게 조절하기가 어렵고, 두꺼운 반사층의 형성에 의한 응력때문에 박막에 금이 가기 쉬운 문제점이 있다. 특히, Q값이 에어갭을 이용한 듀플렉서에 비해 현저히 떨어진다는 문제점도 가진다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여, 에어갭형 FBAR로 필터를 구현하고, 별도로 제작된 Isolation부를 접합함으로써, 단일칩 듀플렉서를 간단한 공정을 통해 견고한 구조로 제조하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<19> 본 발명에 따른 에어갭형 FBAR을 사용한 단일칩 듀플렉서는, 상부 표면에 두개의 에어갭이 형성된 기판, 상기 각각의 에어갭을 중심으로 각 에어갭 양측의 기판 상부에 증착된 제2절연층, 상기 에어갭 중 하나의 에어갭 상층에 제1적층공진부를 제작하여 구현된 제1 에어갭형 FBAR, 다른 하나의 에어갭을 중심으로, 상기 제1적층공진부와 동일한 구조로 제2적층 공진부를 제작하여 구현된 제2 에어갭형 FBAR 및 상기 기판상에서, 상기 제1 에어갭형 FBAR 및 제2 에어갭형 FBAR 사이에 위치하도록 제조된 Isolation부를 포함하고, 상기 제1 에어갭형 FBAR 및 제2 에어갭형 FBAR는 각각, 상기 제2절연층의 일측 상부와 접하며 상기 에어갭의 상층공간까지 연장축설된 하부전극, 상기 제2절연층의 타측 상부와 접하는 상부전극 및 상기 에어갭의 상층공간에서 상기 상부전극 및 하부전극의 사이에 형성되는 압전층을 포함하는 것을 특징으로 한다.

<20> 한편, 본 발명에 따른 에어갭형 FBAR을 사용한 단일칩 듀플렉서의 제조 방법은, 상부표면에서 일정한 간격을 두고 두개의 적층 공진부가 형성된 제1기관부를 제작하는 단계, 제2기관부에 상기 적층 공진부가 형성된 위치와 동일한 위치에 두개의 에어갭을 제조하는 단계, 상기 두개의 에어갭사이에 Isolation 부를 제조하여 제2기관부를 제작하는 단계, 상기 제2기관부를 중심으로, 상기 Isolation부가 두개의 적층공진부 사이에 위치하고 상기 두개의 적층공진부는 상기 두개의 에어갭 상층에 위치하도록 제1기관부를 접합시키는 단계 및 상기 접합된 상태에서 제1기관부의 기관부분을 제거하는 단계를 포함하고, 상기 제1기관부를 제작하는 단계는, 기관상에 제1절연층을 증착시키는 단계, 상기 제1절연층의 일정부분을 패터닝으로 식각하여 양측으로 분리하는 단계, 상기 양측 제1절연층 표면의 일정부분 상에 각각 하부전극을 증착시키는 단계, 상기 하부전극 상의 일정부분에 각각 압전층을 제작하는 단계 및 상기 압전층의 상부 및 상기 하부전극이 증착되지 않은 제1절연층의 상부에 상부전극을 증착시키는 단계로 이루어지며, 상기 제2기관부를 제작하는 단계는, 별도의 기관상에 제2절연층을 증착시키는 단계, 에어갭을 형성하고자 하는 일정 부분의 제2절연층을 제거하는 단계, 상기 제2절연층이 제거된 부분의 기관을 식각하여 두개의 에어갭을 제작하는 단계 및 상기 두개의 에어갭 사이의 제2절연층 상부에 Isolation부를 제작하는 단계로 이루어지는 것을 특징으로 한다.

<21> 이하에서는, 첨부된 도면을 참조하여 본 발명에 따른 단일칩 듀플렉서 및 그 제조 방법에 대하여 자세하게 설명한다.

<22> 도 2는 본 발명에 따라서 제조된 단일칩 듀플렉서의 구조도를 나타낸다.

<23> 도면에 따르면 기관(410)의 중심부에 Isolation부(500)가 제작되어 있고, 상기 Isolation부(500)의 양측으로 수신단 필터 및 송신단 필터가 제작되어 있음을 볼수 있다. 상기

수신단 필터 및 송신단 필터는 동일한 구조로 제작되므로, 이하에서는 수신단 필터를 중심으로 설명한다.

- <24> 도면을 살펴보면, 기판(410)의 일정부분이 식각되어 에어갭(430b)이 형성되어 있고, 각각의 에어갭(430a)의 주변에는 제2절연층(420)이 증착되어 있다. 상기 제2절연층(420)은 기판(410)부분과 상하부전극(360, 340)을 절연시키는 역할을 한다. 에어갭(430a)의 주변에 증착된 제2절연층(420)의 일측은 하부전극(340)과 접하고 있고, 상기 제2절연층(420)의 타측은 상부전극(360)과 접하고 있으며, 상기 상하부전극(360, 340) 사이에는 압전층(350)이 위치하고 있다. 상기 상하부전극(360, 340)에 전계가 인가되면, 압전층(350)은 인가되는 전기적 신호를 음향파 형태의 기계적 에너지로 변환시키는 압전효과를 일으키고, 상기 음향파는 에어갭(430b)에 의해 반사됨으로써 공진현상이 유발된다.
- <25> 한편 상기 상하부전극(360, 340)의 상부에는 제1절연층(320)이 위치하고 있고, 상기 제1절연층(320)의 일부분이 식각되어 상기 상하부전극(360, 340)의 일부가 노출됨으로써 패드(Pad: 710)부분을 형성하고 있다. 상기 패드부분이란 상기 상하부전극(360, 340)을 외부전극과 연결시켜 전계를 인가하기 위해 제작되는 부분이다. 이와 같은 구조를 가진 에어갭형 FBAR은 일종의 밴드 패스 필터로써의 역할을 하게 된다.
- <26> 한편, 상기 수신단 필터와 동일한 구조의 송신단 필터가 다른 하나의 에어갭(430b)을 중심으로 형성되어 있다. 상기 수신단 필터 및 송신단 필터를 제조함에 있어 상하부전극(360, 340)의 두께, 제1절연층(320)의 두께를 조절함으로써, 공진주파수를 다르게 할 수 있는데, 상기 송수신 필터는 그 공진 주파수 대역내의 주파수를 가지는 신호만을 통과시킴으로써 하나의 안테나를 통해 신호를 송수신할 수 있게 된다.

- <27> 한편, 대부분의 시스템에서는 송수신 주파수가 비슷하므로, 송수신단 필터간의 신호교류, 즉, 간섭현상이 발생하여 통신시에 잡음이 생기기 쉽다는 문제점이 있다. 이러한 간섭현상을 방지하기 위하여, 상기 송수신단 필터를 서로 격리시킬 필요가 있는바, Isolation부(500)를 상기 송수신단 필터 사이에 제작함으로써, 양측을 격리시키게 된다.
- <28> 상기 Isolation부(500)는 일반적으로 커패시터 및 인덕터가 차례로 적층된 구조로 제작되어, 송수신단으로 입력되는 주파수 위상이 90° 차이가 나도록 쉬프트 시키는 위상 천이기 (Phase Shifter) 역할을 한다. 예를 들면, 송신 신호가 수신단으로 흘러 들어가는 경우 상기 Isolation부(500)에 의해 생긴 위상차 때문에 다시 반사되어 나오게 됨으로써 격리가 이루어진다.
- <29> 한편, 도 3, 도 4, 도 5 및 도 6은 본 발명에 따른 단일칩 듀플렉서의 제조 단계별 공정도를 나타낸다. 특히, 도 5는 본 발명의 일실시예로써, 특정한 구조의 Isolation부를 제조하는 단계를 포함하여 도시하고 있으나, Isolation부의 구조는 도 5에 도시된 구조와 달리 제조될 수도 있다.
- <30> 먼저, 도 3을 살펴보면, 듀플렉서의 수신단 필터 및 송수신단 필터 역할을 할 에어갭형 FBAR에서 공진현상을 유발시키는 적층공진부를 제1기판상에 제조하는 단계를 도시하고 있다. 도면에서는, 두개의 적층공진부가 제조되는 단계를 도시하고 있으나, 후술하는 실시예와 같이 상기 에어갭형 FBAR을 수개 이상 접속하여 필터를 구현할 경우에는 수개 이상의 적층공진부를 제조할 수 있다. 본 명세서에서는 적층공진부가 제조된 제1기판(310)을 제1기판부(300)로 명명한다.

- <31> 먼저, 일반적인 통상의 기판(310)상에 제1절연층(320)을 증착시키고(도 3a 참조), 상기 제1절연층(320)의 일정 부분을 패터닝하여 제거하게 된다(도 3b 참조). 상기 제1절연층(320)이 제거된 부분(330)은 후술하는 접합 공정에서 Isolation부(500)가 접합될 부분에 해당한다. 한편, 송수신단 필터의 역할을 하는 두개의 에어갭형 FBAR은 동일한 방법으로 제조되어 같은 구조를 가지므로, 설명의 편의를 위해 이하에서는 하나의 적층공진부의 제조에 대해서만 설명한다.
- <32> 도 3c에서는 양측으로 분리된 각각의 제1절연층(320)상부에 하부전극(340)을 증착시킨다. 상기 하부전극(340)의 재료 및 역할은 상술한 바와 같다. 상기 하부전극(340) 증착시 그 일단을 상기 제1절연층의 일단과 맞추어 증착하게 되면, 하부전극이 적층공진부를 보다 견고하게 지지할 수 있으므로, 견고한 소자를 제조하는데 유리하다.
- <33> 다음으로, 상기 하부전극(340)상의 일정부분에 압전층(350)을 증착시키고(도 3d 참조), 상기 하부전극(340)이 증착되지 않은 제1절연층(320) 부분 및 상기 압전층(350)의 상부에 상부전극(360)을 증착시키게 된다(도 3e 참조). 이와 동일한 방법으로 또다른 적층공진부가 반대편의 제1절연층(320)상에 제조될 수 있다. 상기 공정에 따라 제1기판부(300)의 제작이 완료된다.
- <34> 한편, 도 4에서는 별도의 기판상에 에어갭 및 Isolation부를 제작하여 제2기판부를 제조하는 단계가 도시되고 있다. 본 명세서에서는 상기 에어갭 및 Isolation부가 제작된 제2기판(410)을 제2기판부(400)로 명명한다.
- <35> 먼저, 제2기판(410)상에 제2절연층(420)을 증착시키고(도 4a 참조), 상기 제2절연층(420)상에서 에어갭(430b)을 제작하고자 하는 부분의 제2절연층(420)부분을 식각하게 된다(도 4b 참조). 상기 에어갭(430b)은 제1기판상의 적층공진부의 개수와 동일한 개수로 제작하여야 하므로 제2절연층(420)식각시 이를 고려하여 식각한다.

- <36> 다음 단계로, 상기 제2절연층(420)이 식각된 부분(430a)의 기판을 식각하여 에어갭(430b)을 형성하게 된다(도 4c 참조). 이 경우 에어갭(430b)의 깊이는 제1기판상에 제조된 적층공진부와 제2기판(410)을 격리시킬수 있는 정도면 적당한데, 대략적으로 3 내지 5마이크론(μm) 정도면 된다. 제1기판상에 두개의 적층공진부를 제작한 경우에는, 에어갭(430b)도 두 부분에만 제작하면 된다. 후술하는 본발명의 실시예와 같이 두개 이상의 FBAR을 사용하고자 하는 경우에는, 상기 적층공진부 및 에어갭의 개수를 조정하면 된다.
- <37> 상기 에어갭(430b)이 형성되고 나면, Isolation부(500)의 제작에 들어가게 된다. 상기 Isolation부(500)는 일반적으로 두개의 메탈층 및 상기 메탈층 사이에 위치하는 유전층으로 구현되는 커패시터와 메탈을 코일 형식으로 제작하여 구현되는 인덕터의 적층으로 제조될 수 있다.
- <38> 도 5는, 본 발명의 일실시예에 따른 Isolation부(500)를 제조하는 단계를 도시하고 있다.
- <39> 도 5a는 제2기판(410)상에 제작된 두개의 에어갭(430b)사이의 제2절연층(420) 상부에 제1메탈층(440)을 증착시키는 단계를 도시하고 있다. 상기 제1메탈층(440)은 금(Au), 크롬(Cr)등을 전기도금하여 제조할 수 있다.
- <40> 다음 단계로, 상기 일정 공간을 제외한 제1메탈층(440) 및 제1메탈층(440)이 증착되지 않은 제2절연층(420) 상부에 제3절연층(450)을 증착시키게 된다(도 5b 참조). 상기 제3절연층(450)의 재료로는 질화실리콘(Si_3N_4)등이 사용될 수 있다. 상기 단계는, PECVD (Plasma Enhanced Chemical Vapor Deposition)방법으로 제3절연층(450)을 전체적으로 증착시킨 다음, 반응성 이온 에칭(Reactive-ion etching: RIE)공정으로 제1메탈층(440)의 일정부분을 노출시키는 방식으로 이루어질 수 있다.

- <41> 그 다음 단계로, 제2메탈층(460)을 상기 제3절연층(450)상의 일정 부분에 증착시킨다.
즉, 제3절연층(450)중 하부에 제1메탈층(440)이 존재하는 부분 및 하부에 제1메탈층(440)이 존재하지 않는 부분상에 증착시키게 된다(도 5c 참조). 상기 제1메탈층(440)의 재료와 동일한 재료를 사용할 수 있고, 전기도금 등의 동일한 방법을 사용할 수 있다.
- <42> 다음 단계는, 상기 제2메탈층(460)까지 증착된 상태에서 유기절연막(BCB: 470)을 코팅하는 단계이다(도 5d 참조). 상기 유기절연막(470)은 저 유전율(k)을 가지는 물질로, 그 코팅 두께는 대략 8 μ m정도가 바람직하다. 상기 유기절연막(470)은 하부의 메탈층 및 절연층을 보호해주는 보호막 구실을 한다. 상기 코팅된 유기절연막(470)을 반응성 이온 에칭공정을 통해 제2메탈층(460)의 일정부분 및 상기 제1메탈층(440)의 일정부분을 노출시킴으로써, 도 5d에 도시된 구조와 같이 제작한다.
- <43> 다음 단계는, 상기 노출된 제1메탈층(440), 노출된 제2메탈층(460) 및 상기 유기절연막(470)의 일정부분 상에 제3메탈층(480)을 전기도금시키는 단계이다(도 5e 참조). 상기 제3메탈층(480)은 코일형태로 제작되어 인덕터의 역할을 하는 부분으로써, 일반적으로 구리(Cu)로 이루어질 수 있다.
- <44> 한편, 상기 코일의 제작 방법은 씨드층을 형성하는 단계, 상기 씨드층 상부에 포토레지스트 막 패턴을 형성하는 단계, 상기 포토레지스트 막 패턴 사이에 코일재료를 전기도금시키는 단계 및 상기 포토레지스트 막 패턴을 제거하여 코일만 남기는 단계등으로 이루어질 수 있다.
- <45> 상기 코일 형태의 제3메탈층(480)을 제작하고 나면, Isolation부(500)의 제작공정이 완료된다. 상기 Isolation부(500)는 두개의 에어갭(430b)이 제작된 기판상에서 상기 에어갭(430b)사이에 제작됨으로써, 결과적으로 제2기판부(400)에 대한 공정이 마무리된다.

- <46> 도 6에서는, 상기 도 3에 도시된 바와 같은 공정으로 제조된 제1기판부(300)와 상기 도 4 및 도 5에 도시된 바와 같은 공정으로 제조된 제2기판부(400)를 상호 접합하는 단계별 공정을 나타낸다.
- <47> 도 6a는 상기 제2기판부(400)를 중심으로 하여, 상기 제1기판부(300)을 접합하는 방향을 나타내고 있다. 즉, 상기 제2기판부의 두개의 에어갭(430b) 상층 공간에 상기 제1기판부의 적층공진부가 위치하도록 하면서, 동시에 상기 제1기판부의 제1절연층(320)이 제거된 부분(330)에 제2기판부(400)의 Isolation부(500)가 위치하도록 접합하게 된다. 이 경우 접합방법은 온도를 가하여 접합시키는 다이렉트 본딩(Direct Bonding)방법, 전압을 가하여 접합시키는 어노딕 본딩(Anodic Bonding)방법, 에폭시(Epoxy)등의 접착제를 이용하여 접합하는 방법, 금속을 이용하는 유테틱 본딩(Eutetic Bonding)방법 등이 가능하나, 다이렉트 본딩방법 및 어노딕 본딩방법은 비교적 고온단계를 거친다는 점에서, 저온단계를 거치는 접착제이용방법 또는 유테틱본딩방법을 사용하는 것이 바람직하다. 본 접합단계를 통해 FBAR을 제조하기 때문에 종래의 기술과 같이 별도로 희생층을 사용하고 비아홀을 통해 이를 제거하여 에어갭을 형성하는 단계가 필요하지 않게 된다.
- <48> 도 6b에서는 접합이 완료된 상태의 듀플렉서의 구조를 도시하고 있다. 한편, 도 6c에서는, 접합후 듀플렉서의 상부에 위치하게 되는 제1기판부(300)의 기판(310)을 제거하는 단계가 도시되고 있다.
- <49> 다음 도 6d에서는, 하부에 하부전극 및 상부전극이 존재하는 제1절연층(320)부분을 일부 식각하여, 패드(710)를 형성하는 단계이다. 상술한 바와 같이 외부전극으로부터 전계를 인가하기 위한 것이다. 도 6d에서 최종적으로 패드부분까지 제작하면, 하나의 기판상에 수신단 필터

(600), 송신단 필터(700) 및 Isolation부(500)가 형성됨으로써 단일칩 듀플렉서가 완성되게 된다.

<50> 한편, 도 7에서는 본 발명의 일실시예에 따라 제조된 Isolation부(500)를 이용한 단일칩 듀플렉서가 도시되어 있다.

<51> 한편, 듀플렉서에서 사용되는 수신단 필터(600) 및 송신단 필터(700)는 각각 다른 공진 주파수를 가지는 밴드 패스 필터의 역할을 하여야 하므로, 주파수의 튜닝과정이 필요하다. 본 발명에서 제조된 두개의 적층공진부는 하부전극(340), 압전층(350), 상부전극(360) 및 제1절연층(320)으로 이루어져 있는데(도 2 및 도 7 참조), 이러한 구성하에서는 적층공진부의 제1절연층(320)을 식각함으로써 주파수튜닝을 용이하게 할수 있다.

<52> 즉, 고유진동수의 신호가 외부에서 인가되면 FBAR은 공진을 하게되는데, 이경우 공진주파수 f_0 는 적층공진부의 두께와 그 구성 물질의 물성에 의해 결정된다. v 를 압전층에서의 음향파 속도, l 을 적층공진부의 두께라고 보면, 상기 공진주파수는 $f_0=v/2l$ 의 근사식으로 표현할 수 있다. 송수신단 필터의 제1절연층을 식각함으로써 상기 식에서 적층공진부의 두께 l 을 조절할수 있고, 이에 따라 주파수 튜닝이 가능하게 되는 것이다. 바람직하게는, 도 8에 도시된 바와 같이 두개의 FBAR을 연결시킴으로써, 송수신단의 통과 주파수 대역을 조정할 수 있다. 도 8에서는 본 발명의 일실시예에 따른 Isolation부를 사용하여 구현되어 있음을 알수 있다.

<53> 한편, 본 발명의 또다른 실시예로써, 듀플렉서에 CMOS(Complementary Metal Oxide Semiconductor)를 집속시켜 제작할 수도 있다. 즉, 제1기판부분(300)과 제2기판부분(400)에 대한 공정은 각각 별도로 이루어지므로, 제2기판에 에어갭 및 Isolation부를 제조하기 전에, 기존의 CMOS제조공정을 이용하여 CMOS를 제작한 후, 다시 에어갭 및 Isolation부 제조공정을 수

행함으로써 제2기판부분(400)를 완성한 후, 접합시킴으로써, CMOS와 집속된 듀플렉서를 만들 수 있는 바, 기존의 CMOS제조 설비 및 공정을 그대로 사용할 수 있어, 호환성을 이룰수 있다.

【발명의 효과】

<54> 본 발명에 따르면, 에어갭형 FBAR로 구현된 송수신단 필터 및 각 필터를 격리시키는 Isolation부를 하나의 기판상에 제작하여, 단일칩 형태의 듀플렉서를 제조할 수 있게 되므로, 결과적으로 소형경량의 듀플렉서를 제조할 수 있게 된다. 또한, 기존의 방식과 달리 희생층을 사용하지 않고, 접합공정을 통해 제조함으로써, 기판의 파손을 줄일 수 있어 제작수율이 향상되며, 송수신단 필터와 Isolation부를 별도의 기판상에 제작함으로써, 서로 상이한 물질을 하나의 기판상에 증착하는 데 따른 공정의 복잡함을 줄일 수 있어, 전반적으로 공정을 단순화시키는 효과도 가진다. 또한 와이어 본딩을 하는 종래의 기술과 달리 소자간의 연결이 기판상에서 이루어지므로, 기생성분의 감소를 이루어 듀플렉서의 성능을 향상시킬수 있다는 효과도 가진다.

<55> 한편, 본 발명의 또다른 실시예에 따르면, CMOS와 본 발명의 듀플렉서를 하나의 기판에 집속시켜 제작하는 경우에, 기존의 CMOS제조 설비 및 공정을 그대로 이용할 수 있게 되므로, 호환성을 이룰수 있다는 효과도 있다.

<56> 이상, 본 발명의 상세한 설명은 예시 및 설명의 목적으로 제공되었으며, 본 발명을 이에 한정하려는 것은 아니다. 상기 설명에 비추어 당해 기술분야의 숙련된 기술자는 본발명의 기술적 사상과 범위를 벗어나지 않고 개량과 변형이 가능하다.

【특허청구범위】**【청구항 1】**

상부 표면에 두개의 에어갭이 형성된 기관;

상기 각각의 에어갭을 중심으로 각 에어갭 양측의 기관 상부에 증착된 제2절연층;

상기 에어갭 중 하나의 에어갭 상층에 제1적층공진부를 제작하여 구현된 제1 에어갭형 FBAR;

다른 하나의 에어갭을 중심으로, 상기 제1적층공진부와 동일한 구조로 제2적층 공진부를 제작하여 구현된 제2 에어갭형 FBAR;

상기 기관상에서, 상기 제1 에어갭형 FBAR 및 제2 에어갭형 FBAR 사이에 위치하도록 제조된 Isolation부;를 포함하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서.

【청구항 2】

제1항에 있어서,

상기 제1 에어갭형 FBAR 및 제2 에어갭형 FBAR는 각각,

상기 제2절연층의 일측 상부와 접하며 상기 에어갭의 상층공간까지 연장제작된 하부전극;

상기 제2절연층의 타측 상부와 접하며 상기 에어갭의 상층공간까지 연장제작된 상부전극;및

상기 에어갭의 상층공간에서 상기 하부전극 및 상부전극을 상하로 두고 그 사이에 형성되는 압전층;을 포함하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 제1 에어갭형 FBAR 및 제2 에어갭형 FBAR 중 어느 하나가 송신단 필터로써 작용하고, 다른 하나가 수신단 필터로 작용하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서.

【청구항 4】

제3항에 있어서,

상기 송신단 필터 및 수신단 필터는 각각 복수의 에어갭형 FBAR을 연결시킴으로써 구현되는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서.

【청구항 5】

제1항 또는 제2항에 있어서,

상기 Isolation부는,

커패시터 및 코일이 차례로 적층된 구조로 구현되어, 상기 송신단 필터 및 수신단 필터로 입력되는 주파수의 위상차가 90° 가 되도록 하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서.

【청구항 6】

제1항 또는 제2항에 있어서,

상기 Isolation 부는,

기판 상에 증착된 제2절연층;

상기 제2절연층 상부의 일정부분에 증착된 제1메탈층;

상기 제1메탈층의 일정부분을 제외한 나머지 부분에 증착된 제3절연층;

하부에 상기 제1메탈층이 존재하는 상기 제3절연층 부분 및 하부에 제1메탈층이 존재하지 않는 제3절연층의 일정부분 상에 증착된 제2메탈층;

상기 제2메탈층의 일정부분 및 상기 제3절연층의 상부에 코팅된 유기절연막; 및

상기 유기 절연막 상부 및 외부로 드러난 제1, 제2메탈층의 상부에 형성된 코일;을 포함하는 것을 특징으로 하는 에어캡형 FBAR 필터를 사용한 단일칩 듀플렉서.

【청구항 7】

상부표면에서 일정한 간격을 두고 두개의 적층 공진부가 형성된 제1기판부를 제작하는 단계;

제 2기판상에 상기 적층 공진부가 형성된 위치와 동일한 위치에 두개의 에어캡을 제조하는 단계;

상기 두개의 에어캡사이에 Isolation 부를 제조하여 제2기판부를 제작하는 단계;

상기 제2기판부를 중심으로, 상기 Isolation부가 두개의 적층공진부 사이에 위치하고 상기 두개의 적층공진부는 상기 두개의 에어캡 상층에 위치하도록 제1기판부를 접합시키는 단계; 및

상기 접합된 상태에서 제1기판부의 기판부분을 제거하는 단계;를 포함하는 것을 특징으로 하는 에어캡형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【청구항 8】

제7항에 있어서,

상기 제1기판부를 제조하는 단계는,

기판상에 제1절연층을 증착시키는 단계;

상기 제1절연층의 일정부분을 패터닝으로 식각하여 양측으로 분리하는 단계;

상기 양측 제1절연층 표면의 일정부분 상에 각각 하부전극을 증착시키는 단계;

상기 하부전극 상의 일정부분에 각각 압전층을 제작하는 단계;

상기 압전층의 상부 및 상기 하부전극이 증착되지 않은 제1절연층의 상부에 상부전극을 증착시키는 단계;로 이루어지는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【청구항 9】

제7항에 있어서,

상기 제2기판부의 제조하는 단계는,

별도의 기판상에 제2절연층을 증착시키는 단계;

에어갭을 형성하고자 하는 일정 부분의 제2절연층을 제거하는 단계;

상기 제2절연층이 제거된 부분의 기판을 식각하여 두개의 에어갭을 제작하는 단계;및

상기 두개의 에어갭 사이의 제2절연층 상부에 Isolation부를 제작하는 단계;를 포함하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【청구항 10】

제7항 또는 제9항에 있어서,

상기 Isolation부의 제작 단계는,

두개의 메탈층 및 그 사이에 위치하는 유전층으로 구성되는 커패시터를 제작하는 단계;

및

상기 커패시터의 상부에 또다른 메탈층을 코일 형태로 구현하여 인덕터를 제작하는 단계 ;로 이루어지는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【청구항 11】

제7항 또는 제9항에 있어서,

상기 Isolation부의 제작 단계는,

상기 에어갭 형성 부분 사이의 제2절연층 상부의 일정 부분에 제1메탈층을 증착시키는 단계;

상기 제1메탈층의 일정부분을 제외한 나머지 제1메탈층 및 상기 제2절연층 상에 제3절연층을 증착시키는 단계;

상기 제3절연층 중 하부에 제1메탈층이 위치하는 부분 상부 및 나머지 제3절연층의 일정 부분 상부에 제2메탈층을 증착시키는 단계;

상기 제2메탈층의 일정 부분 및 제3절연층의 일정부분 상부에 유기절연막을 코팅시키는 단계;및

상기 유기절연막이 코팅되지 않은 부분 및 상기 유기절연막 상의 일정부분 상에 코일을 이루는 제3메탈을 증착시키는 단계;를 포함하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【청구항 12】

제7항에 있어서,

상기 제1절연층의 일부분을 식각하여 각 적층공진부의 하부전극 및 상부전극을 노출시킴으로써 패드부분을 제작하는 단계;를 더 포함하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【청구항 13】

제7항에 있어서,

상기 제2기판을 중심으로 제1기판을 접합시키는 단계는,

접착제 이용 방법 및 유테택 본딩 방법 중 어느 하나를 이용하여 접합시키는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

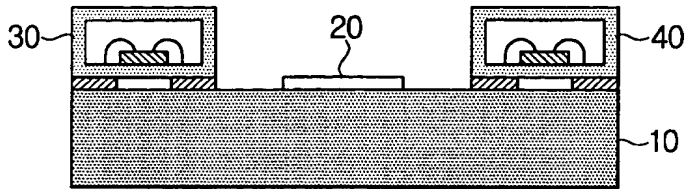
【청구항 14】

제7항에 있어서,

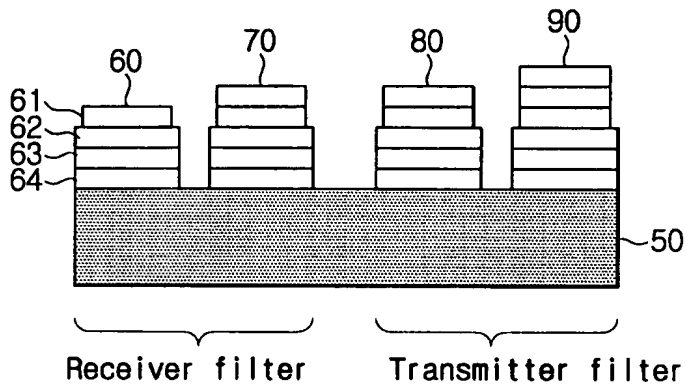
상기 제1기판 상에 적층공진부를 적어도 두개 이상 제조하고, 상기 제2기판 상에 상기 에어갭을 상기 적층공진부의 개수와 동일한 개수로 제조하는 것을 특징으로 하는 에어갭형 FBAR 필터를 사용한 단일칩 듀플렉서의 제조 방법.

【도면】

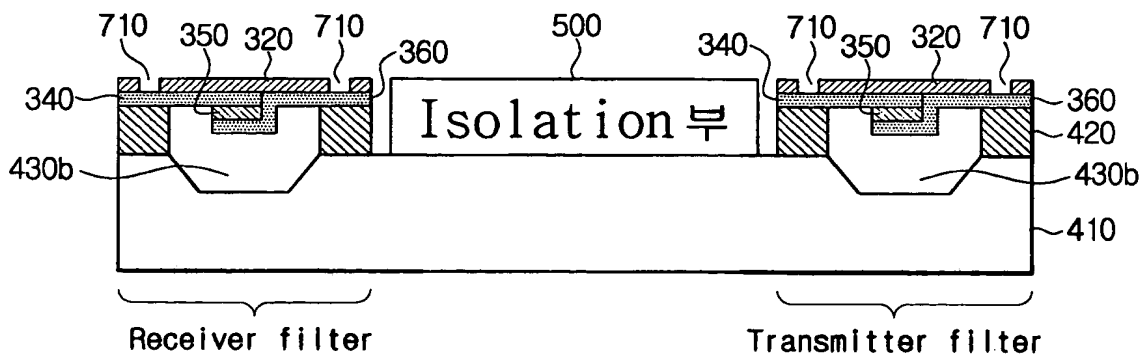
【도 1a】



【도 1b】

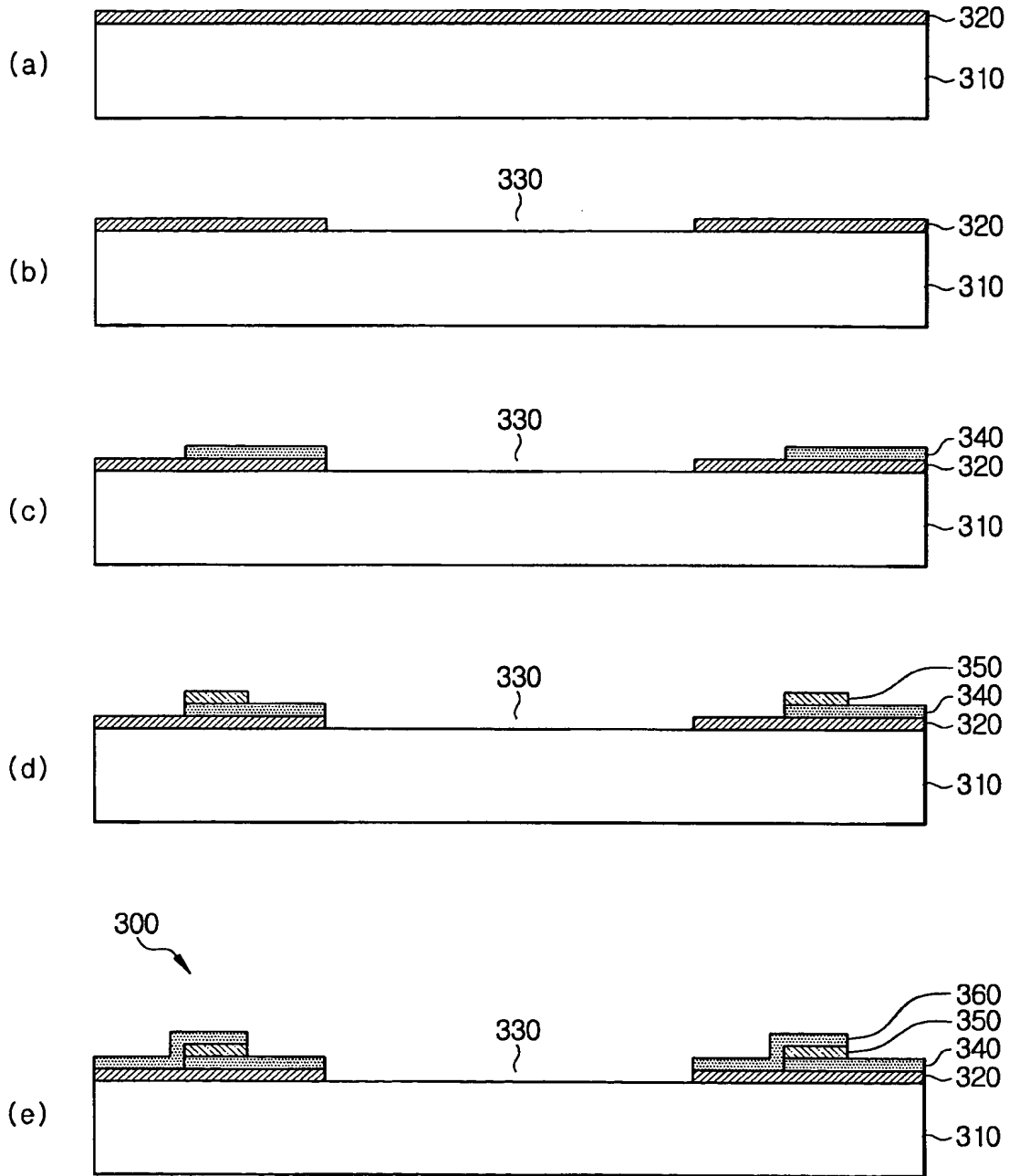


【도 2】

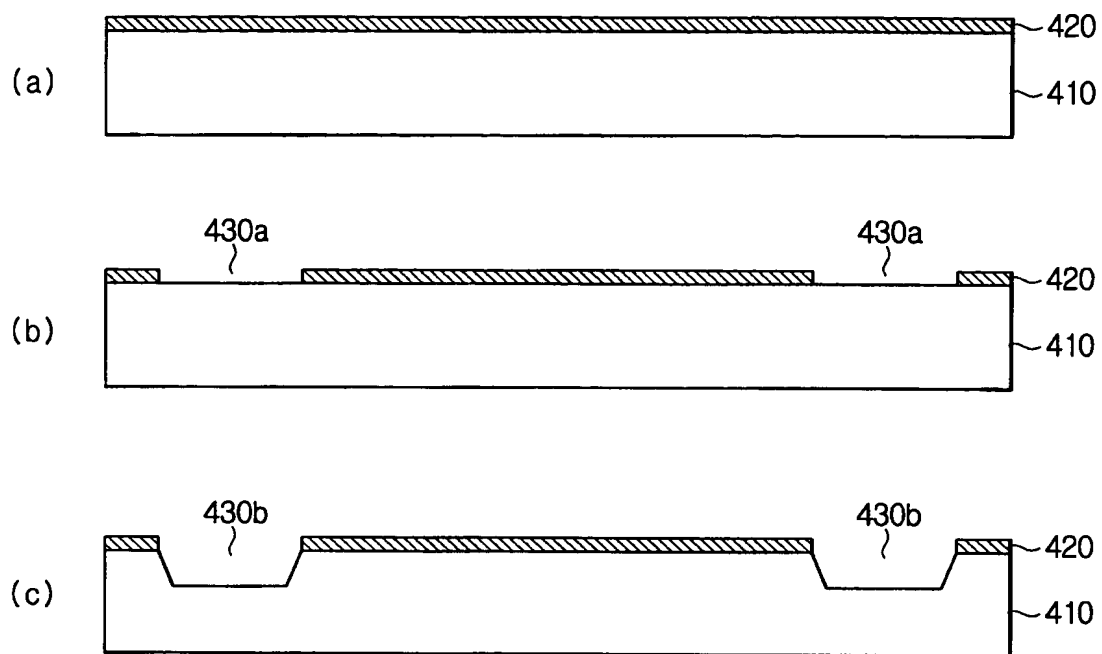




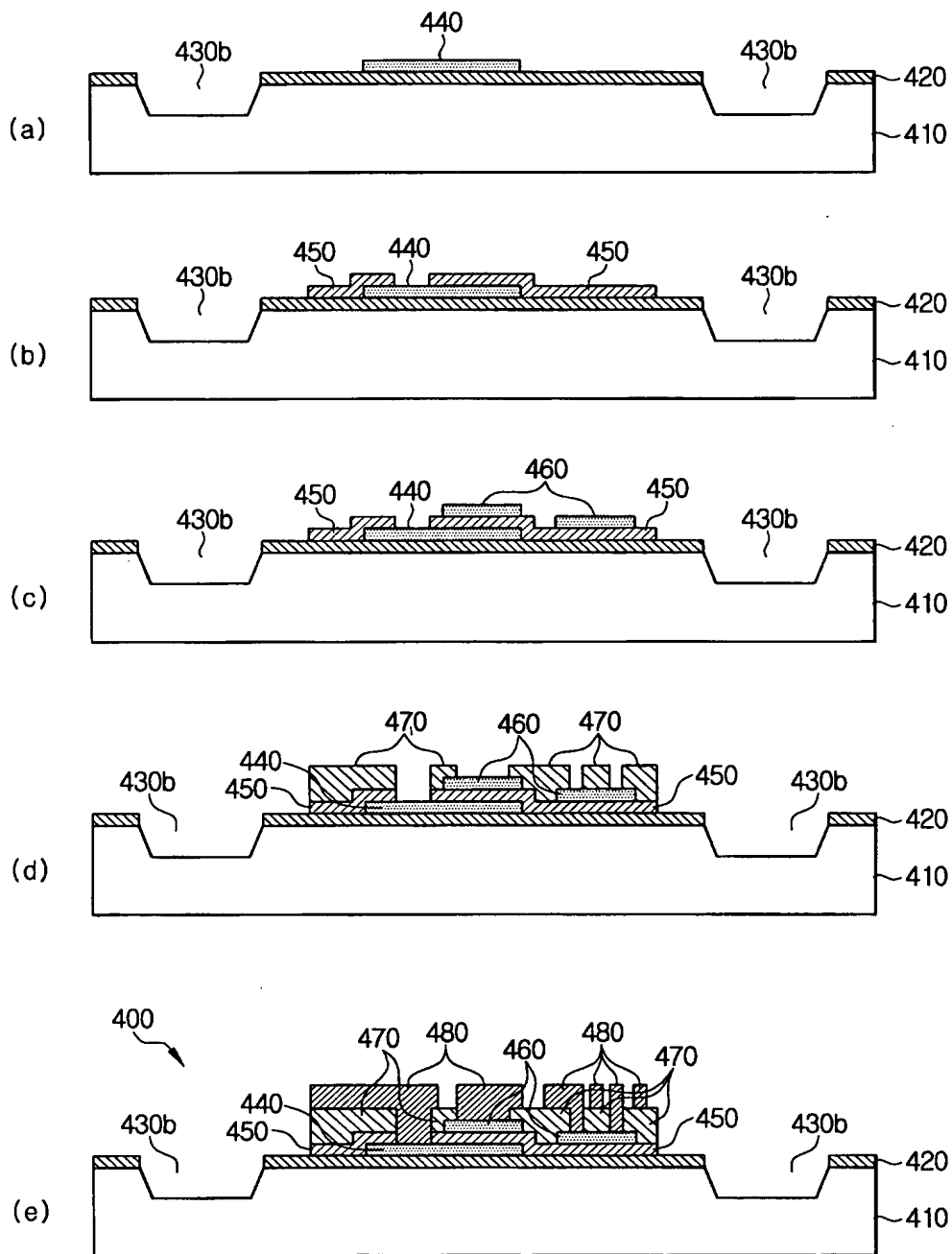
【도 3】



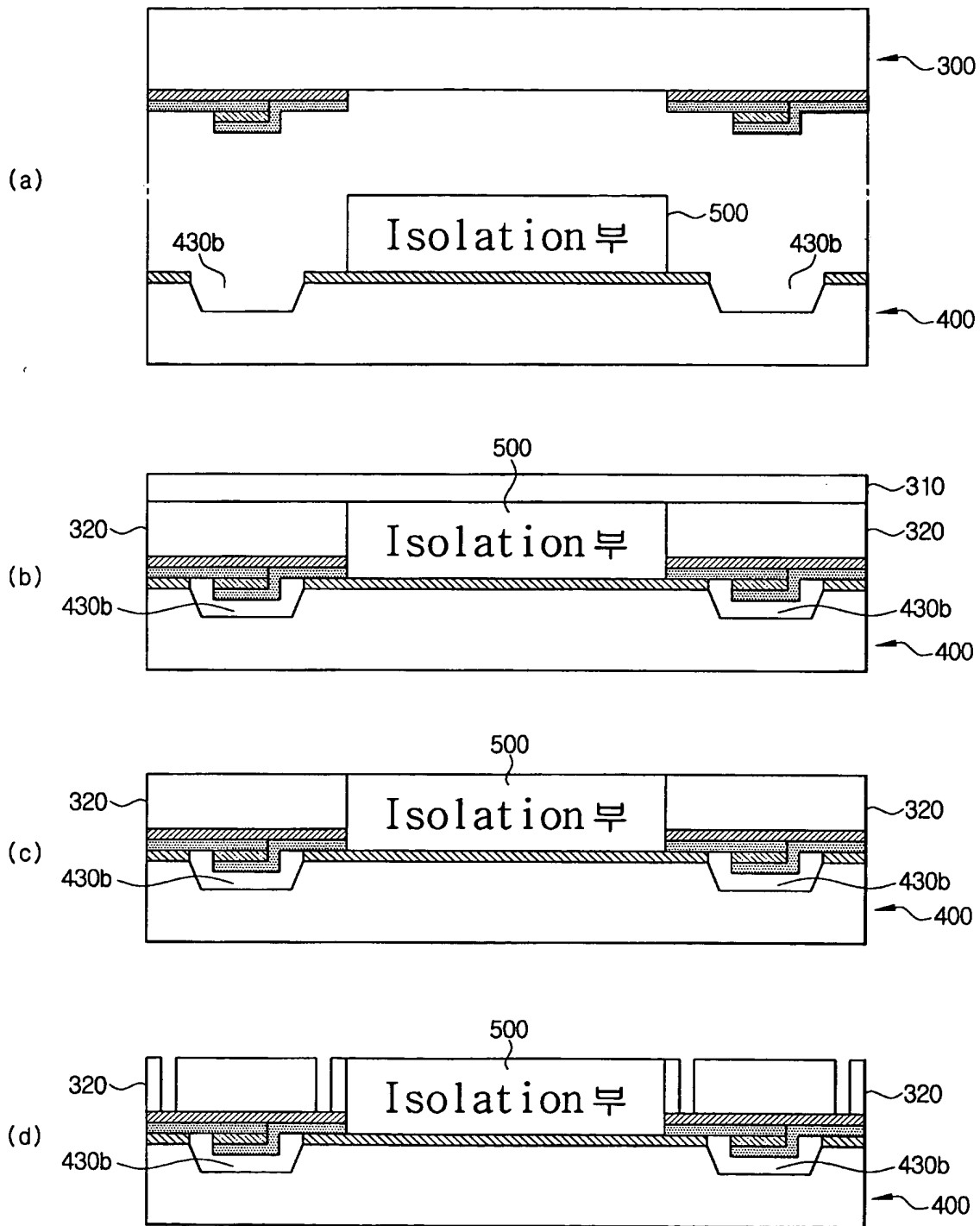
【도 4】



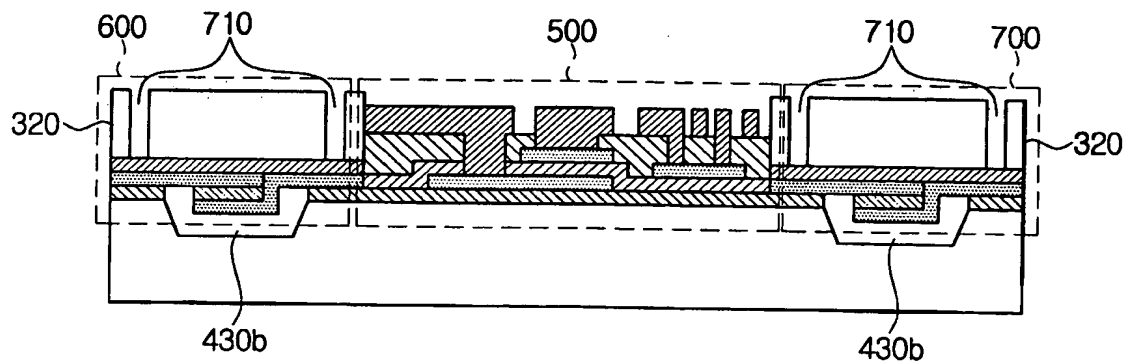
【도 5】



【도 6】



【도 7】



【도 8】

